

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097414

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H01L 27/148
H04N 5/335

(21)Application number : 04-242960

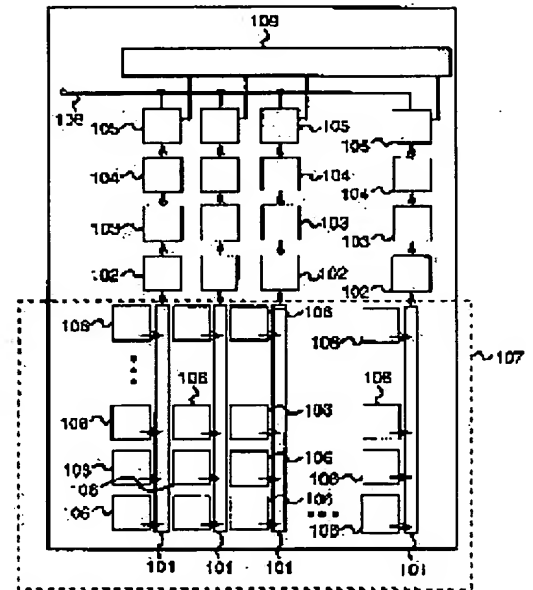
(71)Applicant : HITACHI LTD

(22)Date of filing : 11.09.1992

(72)Inventor : HATAE HIROSHI
OZAKI TOSHIBUMI
ANDO HARUHISA
AKIMOTO HAJIME**(54) SOLID-STATE IMAGE SENSING DEVICE****(57)Abstract:**

PURPOSE: To limit a thermal noise band generated in a transistor and minimize the thermal noise component simultaneously by installing a filter which limits the bands of an amplifier and a signal for every vertical CCD in order to minimize a frequency band of a signal.

CONSTITUTION: Signal charges generated in a photodiode 108 are transferred by a vertical CCD resistor 101 and converted into voltage by a charge detector 102. Then, the frequency band of the signals is limited by a band limiting means 103 and then, a CDS circuit 104 suppresses reset noise generated in the charge detector 102. Then, a signal is selected and output by a row selection means 105 selected by a horizontal scanning circuit 109. As a result, this construction makes it possible to lower the signal band so that it may be possible to narrow the noise band with the band limiting means 103. It is, therefore, possible to provide a solid-state image sensing device with a better S/N ratio.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-97414

(43)公開日 平成 6年(1994) 4月 8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/148

H 0 4 N 5/335

F

7210-4M

H 0 1 L 27/ 14

B

審査請求 未請求 請求項の数16(全 7 頁)

(21)出願番号 特願平4-242960

(22)出願日 平成 4年(1992) 9月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 波多江 博

東京都国分寺市東恋ヶ窪 1 丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 尾崎 俊文

東京都国分寺市東恋ヶ窪 1 丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 安藤 治久

東京都国分寺市東恋ヶ窪 1 丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 固体撮像装置

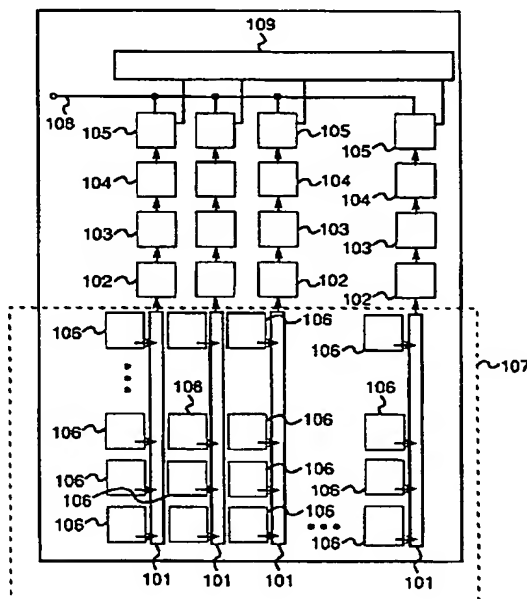
(57)【要約】

【目的】 本発明は、S/N比が高い固体撮像素子を提供することにある。

【構成】 各垂直CCDレジスタ毎に電荷検出器、帯域制限手段を設ける。また、帯域制限手段で用いる容量を、アルミの遮光膜を用いて形成する。

【効果】 各垂直CCDレジスタ毎に電荷検出器を設けることで信号の周波数帯域を下げ、それだけ帯域制限手段を用いて雑音帯域を制限できるので、S/N比が高い撮像素子を構成することが可能である。

図1



1

【特許請求の範囲】

【請求項1】半導体基板上に2次元上に形成された光電変換手段と、複数の該光電変換手段に隣接して形成された垂直CCDレジスタとCCDレジスタ毎に電荷検出器を設けたことを特徴とする固体撮像装置。

【請求項2】電荷検出器の出力端に、帯域を制限する手段を設けたことを特徴とする請求項1に記載の固体撮像装置。

【請求項3】帯域制限手段は、電荷検出器出力端に設けられた容量であることを特徴とする請求項2に記載の固体撮像装置。

【請求項4】容量は、上記各垂直CCDレジスタ上の光遮光膜を第一の電極とすることを特徴とする請求項3に記載の固体撮像装置。

【請求項5】容量は、上記各CCDレジスタ上の遮光膜形成領域の上部もしくは下部に第二の電極を形成することを特徴とする請求項3に記載の固体撮像装置。

【請求項6】容量は、容量の電極間にタンタルオキサイドを用いることを特徴とする請求項4又は5に記載の固体撮像装置。

【請求項7】垂直CCDからの信号電圧が印加される容量の電極とは異なるも一方の電極に、電極間の電圧が小さくなるように与えることを特徴とする請求項4又は5に記載の固体撮像装置。

【請求項8】複数の上記CCDレジスタ毎に電荷検出手段を設けることを特徴とする請求項1に記載の固体撮像装置。

【請求項9】各列の出力増幅器毎に信号のないときの出力と信号のある時の出力の差を検知する差動手段を設けたことを特徴とする請求項1に記載の固体撮像装置。

【請求項10】電荷検出器と上記差動手段の間に、増幅手段を設けることを特徴とする請求項9に記載の固体撮像装置。

【請求項11】上記増幅手段を負帰還アンプにすることを特徴とする請求項10に記載の固体撮像装置。

【請求項12】信号のないときの出力と信号のある時の出力を異なる帯域制限手段で周波数帯域を制限し、交互に出力することを特徴とする請求項9に記載の固体撮像装置。

【請求項13】上記電荷検出器をフローティング・ゲートで構成することを特徴とする請求項1に記載の固体撮像装置。

【請求項14】上記電荷検出器を水平同期期間のみ動作させることを特徴とする請求項1に記載の固体撮像装置。

【請求項15】上記電荷検出器において、水平走査期間の半分をフィードスルーレベルの検出動作、残りの半分を信号レベルの検出動作として用いることを特徴とする請求項1に記載の固体撮像装置。

【請求項16】水平走査をシフトレジスタで行うことを

2

特徴とする請求項1に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CCDレジスタを用いた固体撮像装置に関し、とくに高感度の撮像装置に関する。

【0002】

【従来の技術】ビデオカメラなどの小型化、高解像度化の要求は強く、そのため撮像素子の光学系は小さくなりまた画素数は増加している。そのため、画素の面積は小さくなるため、それに伴い画素で発生する信号は小さくなる。そのため、同じS/Nを確保するためには、発生雑音を小さくする必要がある。

【0003】従来の固体撮像素子では、垂直CCDで運ばれてきた電荷を1ライン分同時に水平CCDに転送し、水平CCDの端部に設けられた1つのアンプにより読み出されている。例えば、1991年 ISSCC DIGEST OF TECHNICAL PAPERS (アイ・エス・エス・シー・シー ダイジェスト オブ テクニカルペーパー) pp208～209で発表された例などである。

【0004】

【発明が解決しようとする課題】ここで、CCD型固体撮像素子で発生する雑音は、出力アンプのMOSトランジスタで発生する熱雑音が支配的である。この熱雑音は、次の式で表すことができる。

$$V_{2n} = 4kT(2/3)(1/qn)f_B \quad (V_2)$$

kはボルツマン定数、Tは絶対温度、qnは相互コンダクタンス、fBは周波数帯域を表す。従来方式では1つの電荷検出器ですべての画素信号を電圧に変換しているため、信号の周波数帯域が大きくなってしまふ。そのため、fBで表すことができるアンプの周波数帯域もそれ以上に大きくしなければならず、雑音の通過成分も大きくなってしまふ。

【0005】

【課題を解決するための手段】そこで本発明では、信号の周波数帯域を小さくするため、各垂直CCDごとにアンプと信号の帯域を制限するためのフィルタを設ける。

【0006】

【作用】各垂直CCDごとにアンプが設けられているため、アンプには1水平走査期間に1回しか信号が入力されず、信号の周波数帯域は大幅に小さくなる。そこで、アンプの周波数帯域をローパスフィルタを用いて制限する。これにより、同時にトランジスタで発生する熱雑音の帯域も制限することができ、雑音成分を小さくすることができる。

【0007】

【実施例】実施例1

まず、図1を用いて構成について説明する。ここで、101は垂直CCDレジスタ、102は電荷検出器、103は帯域制限手段、104はCDS回路、105は列選択手段、106はホトダイオード、107は受光部、10

8は出力信号線、109は水平走査回路である。本実施例は、ライン毎にアンプを設け、かつ信号帯域を制限することに特徴がある。

【0008】次に全体の動作について説明する。この図においてホトダイオード108に発生した信号電荷は、垂直CCDレジスタ101により転送され、電荷検出器102により電圧に変換される。その後帯域制限手段103により信号の周波数帯域が制限され、次にCDS回路104により電荷検出器102で発生したリセット雑音が抑圧される。そして水平走査回路109によって選択された列選択手段105により信号が選択され出力される。

【0009】次に図2、図3を用いて、1ラインに注目して動作を説明する。ここで、21は電荷を検出するためのフローティング・ディフュージョンである。ある時刻に初段ソースフォロアのゲート容量に蓄えられていた、直前の信号電荷がRCにパルスを与えることでリセットされる。この時端子Aは、リセット電位になる。B点は、初段ソースフォロア出力インピーダンスと帯域制限容量 C_{out} で決まる時定数だけ遅れて、リセット電位が確定する。B点でリセット電位が確定したとき、クランプパルスCLPにパルスが入力され、そのリセット電位がクランプされる。次に、入力パルスにより信号電荷が端子Aに入力される。すると、端子Aは、信号電荷の分だけ電位が下がる。そしてB点は、リセット時と同様に時定数だけ遅れて信号電位が確定する。この時、ホールドパルスHPにパルスを与え、その時の電位をC点に蓄える。C点には、信号電位とリセット電位の差の電位が蓄えられる。その後、列選択パルスSP(n)にパルスを与え、出力信号線108に信号を出力する。この動作において、信号電位を検出している時間とリセット電位を検出している時間を同じにしている。これは、後段のCDS回路で信号電位とリセット電位の差を取るときに、2つの電位が同一の帯域で制限され、同レベルの雑音成分を持つ必要があるためである。つまり、一方だけが雑音成分が低い信号であっても、差を取った信号は雑音成分が大きくなるためである。

【0010】このような構成により、初段ソースフォロア出力インピーダンスと帯域制限容量 C_{out} で構成される低域通過フィルタで帯域を制限できるため、出力信号中に含まれる雑音成分を小さくできる。また、この回路はCDS回路を内蔵しているため、直前の電荷をリセットしたときの電位のばらつきで発生するリセット雑音も同時に抑圧することができる。従来のように、外付けでCDS回路を構成する必要がないので、周辺回路の削減となる。

【0011】この構成において、水平ブランキング期間だけを用いて、アンプを動作させても良い。このようにすると、映像信号期間中にリセットパルスなどのパルスを印可する必要がないので、映像信号へパルスに起因す

る雑音が飛び込む可能性がなくなる。

【0012】以上の構成は、垂直CCD毎にアンプを設けたものであるが、もちろん複数の垂直CCDにつき1つのアンプを設け、時分割で使用しても良い。この構成では、アンプの総数を減らすことができるので、消費電力を減らすことができる。

【0013】実施例2

次に、本発明の他の実施例を図4を用いて説明する。本実施例は、帯域制限容量103の直前に帰還増幅器41を設けていることに特徴がある。ここで、42は帰還抵抗であり、他は図2と同じである。本回路では、CDS回路104と列選択手段105において、スイッチング動作時にリセット雑音が発生する。本実施例では、このリセット雑音の影響を小さくするため、前段に設けた帰還増幅器41で増幅する。このようにすると、同じリセット雑音が発生した場合、信号成分が大きくなっているため、S/Nは大きくなる。また、増幅段として直列-直列帰還の増幅器を用いることで、増幅器の出力インピーダンスを上げている。具体的には、帰還抵抗42がない場合、増幅器の出力インピーダンスは、近似的に負荷抵抗値 R_L となる。しかし、RFの値を持つ帰還抵抗42を用いて直列-直列帰還の増幅器とすることで、出力インピーダンスは $R_L(1+gmRF)$ となり、 $(1+gmRF)$ 倍になり、同じ帯域を制限する場合、帯域制限容量103の値を小さくすることができる。また、電圧利得に関しても帰還抵抗42がない場合、 gmR_L で決まり、チャネル長のばらつきに起因する gm のばらつきが、電圧利得のばらつきに影響していた。しかし、帰還抵抗42を用い直列-直列帰還の増幅器とすることで、 gm が大きい場合電圧利得は R_L/R_F で決まり、列間の電圧利得のばらつきを小さくすることができる。

【0014】以上は、フローティング・ディフュージョンを用いて構成した場合であるが、フローティング・ゲート(1973年 ISSCC DIGEST OF TECHNICAL PAPERS (7イ・エス・エス・シー ダイジェスト オブ テクニカルペーパー) pp154~155参照)を用いても可能である。フローティング・ゲートを用いると、直流分をカットした信号を得られるため、次段のアンプにおいて電源電圧の半分付近に動作点を持っていくことが容易にできる。そのため、電源電圧を最大限に用いたダイナミックレンジを得ることができる。

【0015】実施例3

本発明の他の実施例について、図5を用いて説明する。本実施例は、2つの帯域制限容量103、53を用いて、信号成分とリセット雑音成分を別々に帯域制限することに特徴がある。ここで、51は信号成分選択MOSトランジスタ、52はリセット雑音成分選択用MOSトランジスタ、53はリセット雑音成分用帯域制限容量、54はリセット雑音成分用列選択MOSトランジスタであり、他は図2と同じである。実施例1の動作において、端子

Aに信号成分が入力されているときは、信号成分選択MOSトランジスタ51をオンに、端子Aにリセット雑音成分が入力されているときは、リセット雑音成分選択MOSトランジスタ52をオンにする。すると、信号成分用帯域制限容量103に信号成分が、リセット雑音成分用帯域制限容量53にリセット雑音成分が蓄積する。そして、列が選択されたときにリセット雑音成分用列選択MOSトランジスタ54と信号成分用列選択MOSトランジスタ105を順にオンする。すると、出力信号線には、リセット雑音成分と信号成分が順に出力され、外付けのCDS回路に入力される。

【0016】CDS回路で発生する雑音は、図2で示されるクランプ容量CLとホールド容量Chに依存している。これらの容量をできるだけ大きくすると発生する雑音は小さくなる。本実施例では、リセット雑音成分と信号成分を順に出力する事により、外付けでCDSをかけることができる。外付けでCDSをかけることにより、クランプ容量CLとホールド容量Chの値を大きくすることができるため、CDS回路で発生する雑音を小さくすることができる。

【0017】実施例4

他の本発明の実施例について、図6、図9を用いて説明する。本実施例は、帯域制限容量として遮光アルミを利用することに特徴がある。ここで、図6において61は帯域制限容量であり、他は図2と同じである。また、図9において91はn型の半導体基板、92はp型のウェル、93はホットダイオードを形成するn型層、94はVCC用の濃いp型のウェル、95は埋め込みCCDを形成するn型層、96はCCDを構成する電極、97は遮光用のアルミである。より雑音を小さくするためには、帯域幅を狭くすることが必要である。そのため、帯域制限容量に大きな値を必要とする。そこで、図9における各列の垂直CCD上を覆っている遮光アルミ97と垂直CCD電極96間で形成される容量を利用する。この領域は、図6において61で表すことができる。このように、チップ面積の増加を伴わず、広い面積で容量を形成することができる。以上は、遮光アルミ97と垂直CCD電極96を盛用いて容量を形成する場合であるが、もちろん図10で示される様に遮光アルミの上にさらに容量形成用電極201を設けも良い。層間膜として誘電率が大きなタンタルオキサイドを用いると、大きな容量が得られ、それだけ周波数帯域を制限でき雑音を小さくすることができる。

【0018】実施例5

他の本発明の実施例について、図8を用いて説明する。本実施例は、帯域制限容量を電荷検出器後に設けることに特徴がある。ここで、81は増幅器であり、他は図2と同じである。このような構成では、CDS回路104と

列選択手段105において発生する雑音は、増幅器81のため小さく見え、かつ電荷検出器102の出力インピーダンスと帯域制限容量103で低域通過フィルタが構成される。そのため、このフィルタにより雑音成分は制限され、かつ帰還抵抗42で発生する雑音がなくなるため、より低雑音化が可能である。

【0019】実施例6

他の本発明の実施例について、図7を用いて説明する。本実施例は、容量を形成する遮光アルミに、MOSスイッチ72を介して電圧発生手段71を設けることに特徴がある。より大きな容量を得るためには、図9における遮光アルミ97とその下を走っている垂直CCD電極96間の膜厚は、薄い方が良い。しかし、垂直CCD電極96には、例えばホットダイオードからの信号読みだし時に振幅15(V)のバルスが与えられるため、膜厚を余り薄くすると、耐圧を超えてしまう。電圧発生手段71を用いて信号読みだしバルスが与えられるまえにB点に適当な電位を与える。これにより、相対的に遮光アルミ97とその下を走っている垂直CCD電極96間の電圧は小さくなる。そのため、膜厚を薄くすることができ、それゆえ大きな容量を得ることができる。

【0020】

【発明の効果】本発明の構成により信号帯域を下げることができるため、それだけ帯域制限手段により雑音帯域も狭くすることができ、S/N比が良い固体撮像装置が可能となる。

【0021】

【図面の簡単な説明】

【図1】本発明の全体構成図。

【図2】一ラインの回路図。

【図3】動作を説明するタイミングチャート。

【図4】帰還アンプを設けた他の実施例を説明する図。

【図5】信号電位とリセット電位の両方を出力する他の実施例を説明する図。

【図6】遮光アルミを用いて帯域制限容量を実現する説明図。

【図7】帯域制限容量に予め電位を与える実施例を説明する図。

【図8】他の実施例を説明する図。

【図9】帯域制限容量を説明する図。

【図10】帯域制限容量の他の実施例を説明する図。

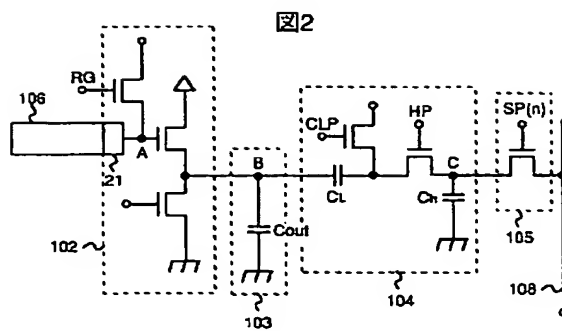
【符号の説明】

101-垂直CCDレジスタ、102-電荷検出器、103-帯域制限手段

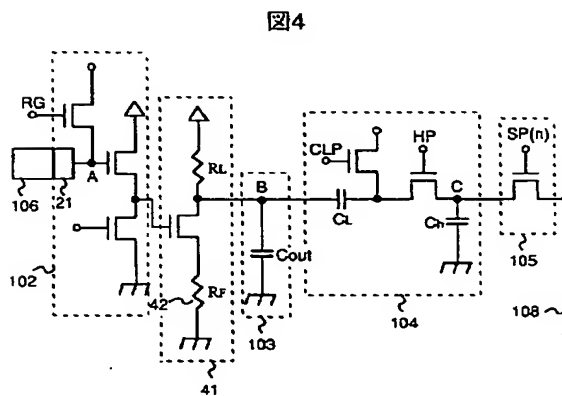
104-CDS回路、105-列選択手段、106-ホットダイオード

107-受光部、108-出力信号線、109-水平走査回路

【圖2】



【図4】



【圖5】

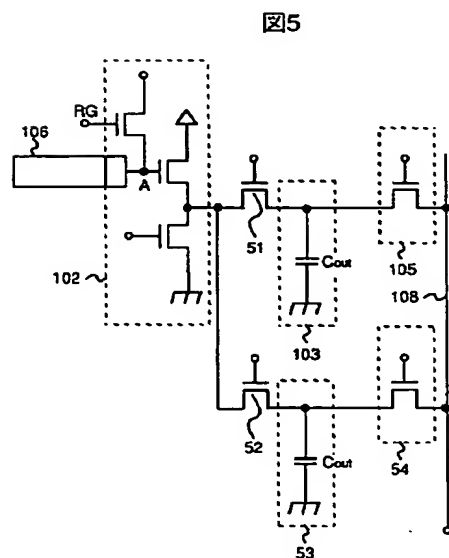
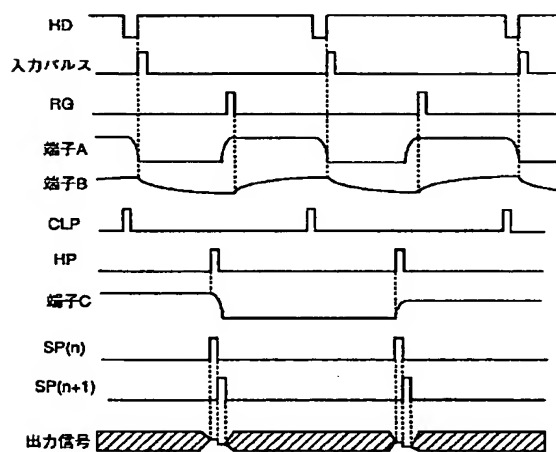
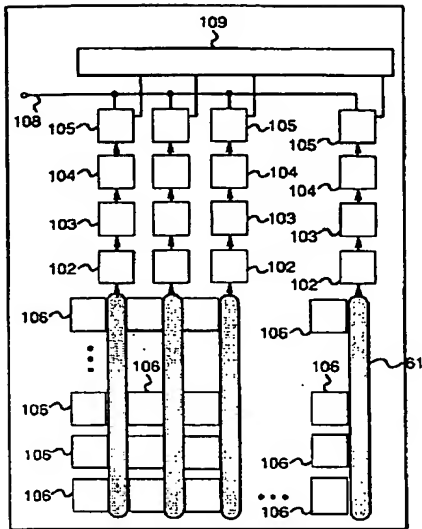


圖3



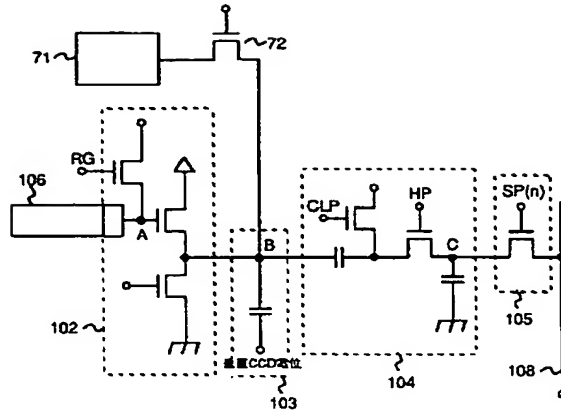
【図6】

図6



【図7】

図7

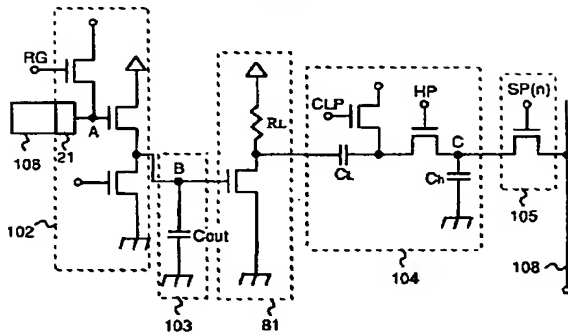


【図9】

図9

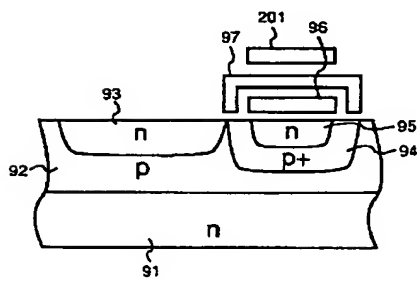
【図8】

図8



【図10】

図10



フロントページの続き

(72)発明者 秋元 肇
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内